

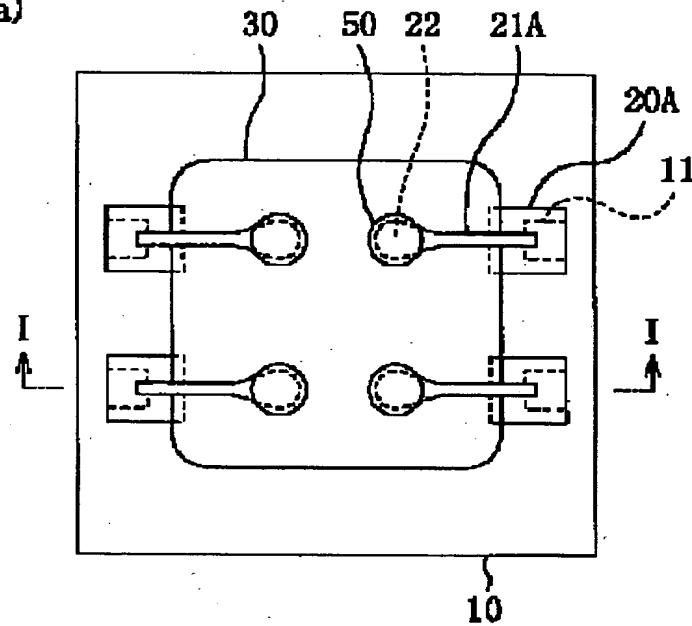
 Include**MicroPatent® PatSearch FullText: Record 1 of 1**

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

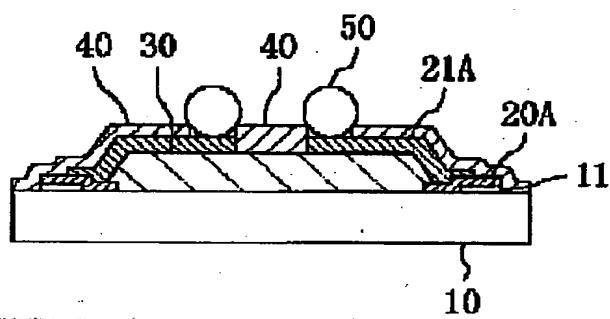
Years: 1990–2002

Text: Patent/Publication No.: JP11204678

(a)



(b)

[Order This Patent](#)[Family Lookup](#)[Find Similar](#)[Legal Status](#)[Go to first matching text](#)**JP11204678 A****SEMICONDUCTOR DEVICE AND MANUFACTURER OF THE SAME**
MATSUSHITA ELECTRON CORP**Inventor(s):**SAWARA RYUICHI ;NAKAMURA YOSHIFUMI ;SHIMOISHIZAKA NOZOMI ;KUMAGAWA TAKAHIRO**Application No.** 10002318 **JP10002318 JP**, **Filed** 19980108, **A1 Published** 19990730

Abstract: PROBLEM TO BE SOLVED: To alleviate stresses applied to an electrode with a first wiring and an insulating layer when a pressing force is applied to an external pressure terminal, by covering with an insulating layer a part of the first wiring provided by covering the electrode of a semiconductor chip.

SOLUTION: A first metal wiring 20a is provided in the horizontal direction to cover at least a part of an electrode 11 and toward the opposite side of the side adjacent to the electrode 11, namely toward the inside on a semiconductor chip 10. Next, an insulating layer 30 consisting of an insulator having low elasticity is provided to expose a first wiring 20a on the electrode 11 and to cover a part of the first wiring 20a and the main surface of the semiconductor chip 10. End part of the insulating layer 30 has a cross-sectional shape like a wedge sloping to the main surface of the semiconductor chip 10. A second wiring 21 consisting of metal is provided on at least a part of the first wiring 20a and insulating layer 30. Moreover, a land 22 which is connected to the second wiring 21 to function as an external terminal is made to be exposed to the flat area of the insulating layer 30.

Int'l Class: H01L02312;

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.



Home



List

For further information, please contact:

Technical Support | Billing | Sales | General Information

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204678

(43)公開日 平成11年(1999)7月30日

(51)Int.Cl.⁶

H 01 L 23/12

識別記号

F I

H 01 L 23/12

L

Q

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21)出願番号 特願平10-2318

(22)出願日 平成10年(1998)1月8日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 中村 嘉文

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

最終頁に続く

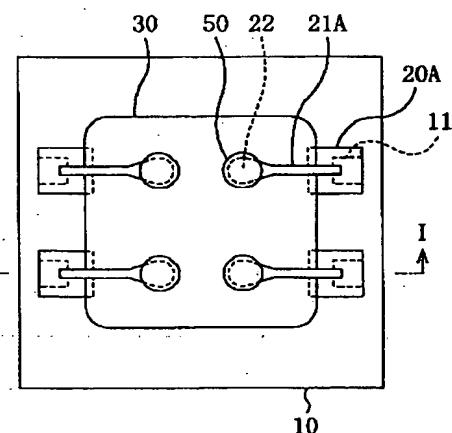
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

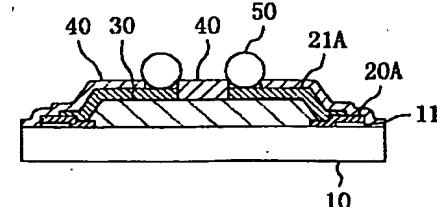
【課題】 半導体チップと外部機器とを接続するための配線を微細化し、信頼性を向上できる半導体装置及びその製造方法を提供する。

【解決手段】 半導体チップ10の電極11に接続された第1の配線20Aと、第1の配線20Aの一部を覆い、かつ電極11が配置された領域を開口するように設けられた低弾性を有する絶縁層30と、絶縁層30上にわたって設けられ第1の配線20Aに接続された第2の配線21と、絶縁層30上に設けられ第2の配線21につながるランド22と、ランド22を開口して設けられたソルダーレジスト40と、ランド22上に設けられた金属ボール50とを備え、絶縁層30は開口部においてくさび状の断面形状を有する。

(a)



(b)



【特許請求の範囲】

【請求項1】 主面上に電極が配置された半導体チップと、

前記電極を被覆するようにして該電極に接続された第1の配線と、

前記主面上に設けられ前記第1の配線の一部を被覆して前記電極が配置されている領域を開口した絶縁層と、

前記絶縁層の上に設けられ外部機器との間で信号を授受するための外部電極端子と、

前記第1の配線と外部電極端子とを接続するための第2の配線とを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、

前記第2の配線は前記絶縁層の上に設けられていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、

前記第1の配線は半導体チップ上で横方向に延びるよう形成され、

前記絶縁層に形成され前記第1の配線のうち前記横方向に延びた領域の一部に到達する貫通穴を更に備え、

前記第2の配線は前記貫通穴を埋めるように形成されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、

前記第2の配線の上端部が前記外部電極端子となっていることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれか1つに記載の半導体装置において、

前記絶縁層は前記電極が配置されている領域を開口した部分の端部において前記絶縁層の上面から前記半導体チップの正面に至るまでのくさび状の傾斜部を有することを特徴とする半導体装置。

【請求項6】 請求項1～5のいずれか1つに記載の半導体装置において、

前記外部電極端子を開口して形成され、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を更に備えたことを特徴とする半導体装置。

【請求項7】 請求項1～6のいずれか1つに記載の半導体装置において、

前記外部電極端子上に設けられた突起状電極を更に備えたことを特徴とする半導体装置。

【請求項8】 電極を有する半導体チップの主面上に、前記電極を被覆して該電極に接続される第1の配線を形成する工程と、

前記第1の配線の一部を被覆するように前記電極の上を開口した絶縁層を形成する工程と、

前記第1の配線に接続され前記絶縁層上に延びる第2の配線を形成する工程と、

前記第2の配線のうち外部電極端子となる領域の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有す

10

30

40

50

る保護膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項9】 電極を有する半導体チップの主面上に、前記電極を被覆して横方向に延びる第1の配線を形成する工程と、

前記第1の配線のうち前記横方向に延びた領域の一部に到達する貫通穴が設けられ、かつ前記電極を開口した絶縁層を形成する工程と、

前記貫通穴が埋められるように第2の配線を形成する工程と、

前記第2の配線のうち外部電極端子となる上端部の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項10】 請求項8又は9記載の半導体装置の製造方法において、

前記外部電極端子上に突起状電極を形成する工程を更に備えたことを特徴とする半導体装置の製造方法。

【請求項11】 請求項8～10のいずれか1つに記載の半導体装置の製造方法において、

前記絶縁層を形成する工程は、半導体チップ上に感光性を有する絶縁膜を形成した後に、露光とエッチングとを順次行って前記絶縁層を形成することを特徴とする半導体装置の製造方法。

【請求項12】 請求項8～10のいずれか1つに記載の半導体装置の製造方法において、

前記絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成し、該絶縁膜の上にレジスト膜を形成し、該レジスト膜をパターニングしてエッチングレジストを形成した後にエッチングを行って前記絶縁層を形成することを特徴とする半導体装置の製造方法。

【請求項13】 請求項8～10のいずれか1つに記載の半導体装置の製造方法において、

前記絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成した後に、レーザー又はプラズマを用いて前記絶縁膜をパターニングして前記絶縁層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トランジスタ等の半導体素子を有する半導体装置であって、特に外部機器と接続するための配線の微細化を可能にする半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 近年、電子機器の小型化、高機能化に伴い、半導体装置に対して小型化、高密度化、高速化が要求されるようになってきた。このため、例えば、メモリー用パッケージとしてはLOC(リード・オン・チップ)やSON(スマート・アウトライン・ノンリード)

等が開発され、あるいはTABテープを利用したμBGA（マイクロ・ポール・グリッド・アレイ）（特表平06-504408号公報）といったパッケージが開発されている。

【0003】以下、μBGAを用いた従来のCSP（チップ・サイズ・パッケージ）と呼ばれる半導体装置及びその製造方法について、図3を参照しながら説明する。図3は、μBGAと呼ばれる従来の半導体装置を示す断面図である。図3において、101はトランジスタ等の半導体素子を内蔵する半導体チップ、102は半導体チップ101上に設けられた配線回路シート、103は半導体チップ101と配線回路シート102との間に介在するしなやかな低弾性率材料、104は配線回路シート102が有する部分リード、105は半導体チップ101が有する電極、106は配線回路シート102の電極であって半導体装置と外部とを接続するための外部電極である。図3に示すように、μBGAと呼ばれる半導体装置は、半導体チップ101上に低弾性率材料103を介して配線回路シート102が接合された構造を有し、半導体チップ101の電極105と配線回路シート102の外部電極106とが、部分リード104を介して電気的に接続されたものである。

【0004】次に、μBGAと呼ばれる従来の半導体装置の製造方法を図3を参照して説明する。まず、半導体チップ101上に、外部電極106と該外部電極106から延設された部分リード104とを有する配線回路シート102を、低弾性率材料103を介して接合する。該低弾性率材料103は絶縁材料であって、接着機能を有する。次に、「TAB」（テープ・オートメイティッド・ボンディング）作業で電気的に接続する際に通常用いられる従来の熱圧着技術又は超音波ボンディング技術によって、部分リード104と電極105とを接続する。以上の方法によって、μBGAと呼ばれる半導体装置を製造していた。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置によれば、予め配線回路シート102を作成する必要があるので製造工数が増大する。また、配線回路シート102は高価であり、半導体チップ101に配線回路シート102を接続するためには高性能なマウンタ（搭載設備）が必要となるので、材料コスト及び設備コストの増大を免れなかった。また、電極105と配線回路シート102から延在した部分リード104とを接続する場合、特に微細配線における場合には、部分リード104の幅や厚みが小さくなつて形状が安定しないので、部分リード104と電極105との接続が困難となるという欠点を有していた。

【0006】本発明は、上記従来の課題に鑑み、配線回路シート102を設けることなく、外部機器と接続するための配線の微細化と、高信頼性化とを可能にする半導

10

20

30

40

50

体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明では、請求項1～7に記載された半導体装置に関する手段と、請求項8～13に記載された半導体装置の製造方法に関する手段とを講じている。

【0008】本発明の第1の半導体装置は、請求項1に記載されているように、主面上に電極が配置された半導体チップと、電極を被覆するようにして該電極に接続された第1の配線と、主面上に設けられ第1の配線の一部を被覆して電極が配置されている領域を開口した絶縁層と、絶縁層の上に設けられ外部機器との間で信号を授受するための外部電極端子と、第1の配線と外部電極端子とを接続するための第2の配線とを備えている。

【0009】これにより、半導体チップの電極を被覆して設けられた第1の配線の一部が絶縁層に被覆されるので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において、電極に加わる応力が第1の配線と絶縁層により緩和されて半導体装置の信頼性が向上する。また、絶縁層上に外部電極端子が形成されることによつて、外部電極端子が微細に形成され、かつ半導体装置の実装後に外部電極端子に加わる応力が絶縁層により緩和されるので、半導体装置の信頼性と実装密度とが向上する。

【0010】請求項2に記載されているように、請求項1の半導体装置において、第2の配線は絶縁層上に設けられているとすることができる。

【0011】これにより、半導体チップ上に設けられた絶縁層の上に第2の配線が設けられるので、絶縁層によって第2の配線に加わる応力が緩和されて信頼性が更に向上し、かつ配線が微細化された半導体装置が得られる。

【0012】請求項3に記載されているように、請求項1の半導体装置において、第1の配線は半導体チップ上で横方向に延びるように形成され、絶縁層に形成され第1の配線のうち横方向に延びた領域の一部に到達する貫通穴を更に備え、第2の配線は貫通穴を埋めるように形成されているとすることができる。

【0013】これにより、半導体チップ上に第1の配線が微細に設けられ、絶縁層の貫通穴を埋めるように設けられた第2の配線によって第1の配線と外部電極端子とが確実に接続されるので、配線が微細化され、信頼性が更に向上した半導体装置が得られる。

【0014】請求項4に記載されているように、請求項3の半導体装置において、第2の配線の上端部が外部電極端子となっていることが好ましい。

【0015】これにより、外部電極端子に加えられた押圧力が第2の配線から直下方に作用するので、電極に加わる応力が緩和されて半導体装置の信頼性が向上する。

【0016】請求項5に記載されているように、請求項

1～4のいずれか1つの半導体装置において、絶縁層は電極が配置されている領域を開口した部分の端部において絶縁層の上面から半導体チップの主面に至るまでのくさび状の傾斜部を有することが好ましい。

【0017】これにより、絶縁層が有するくさび状の傾斜部の斜面上に第2の配線が設けられるので、配線の微細化が更に向上し、かつその断線が防止されて信頼性が更に向上した半導体装置が得られる。

【0018】請求項6に記載されているように、請求項1～5のいずれか1つの半導体装置において、外部電極端子を開口して形成され、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を更に備えることが好ましい。
10

【0019】これにより、外部電極端子以外の部分が保護膜により覆われるので、外部電極端子と外部機器の接続端子との接続等の後工程における、外部電極端子以外の配線の断線や短絡が防止されて、半導体装置の信頼性が向上する。

【0020】請求項7に記載されているように、請求項1～6のいずれか1つの半導体装置において、外部電極端子上に設けられた突起状電極を更に備えることが好ましい。
20

【0021】これにより、半導体装置と外部機器との間で、突起状電極を介していっそう確実に信号を授受することができる。

【0022】本発明の第1の半導体装置の製造方法は、請求項8に記載されているように、電極を有する半導体チップの主面上に、電極を被覆して該電極に接続される第1の配線を形成する工程と、第1の配線の一部を被覆するように電極の上を開口した絶縁層を形成する工程と、第1の配線に接続され絶縁層上に延びる第2の配線を形成する工程と、第2の配線のうち外部電極端子となる領域の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を形成する工程とを備えている。
30

【0023】この方法によれば、半導体チップの電極を被覆した第1の配線の一部を被覆して絶縁層を形成するので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において、電極に加わる応力が第1の配線と絶縁層とにより緩和されて信頼性が向上した半導体装置を製造できる。また、絶縁層の上に第2の配線と外部電極端子とを微細に形成できるので、配線が微細化し実装密度が向上した半導体装置を製造できる。
40

【0024】本発明の第2の半導体装置の製造方法は、請求項9に記載されているように、電極を有する半導体チップの主面上に、電極を被覆して横方向に延びる第1の配線を形成する工程と、第1の配線のうち横方向に延びた領域の一部に到達する貫通穴が設けられ、かつ電極を開口した絶縁層を形成する工程と、貫通穴が埋められ
50

るようすに第2の配線を形成する工程と、第2の配線のうち外部電極端子となる上端部の上方に開口を有し、該外部電極端子と外部機器の接続端子とを電気的に接続するための導電性材料をはじく性質を有する保護膜を形成する工程とを備えている。

【0025】この方法によれば、半導体チップの電極を被覆した第1の配線の一部を被覆して絶縁層を形成するので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において、電極に加わる応力が第1の配線と絶縁層とにより緩和される。また、貫通穴に第2の配線を形成してその上端部を外部電極端子とすることにより、外部電極端子に加えられた押圧力が第2の配線から直下方に作用するので電極に加わる応力が緩和され、かつ、外部電極端子と第1の配線とが確実に接続される。したがって、信頼性が向上した半導体装置を製造できる。更に、それぞれ、半導体チップ上に第1の配線を、貫通穴に第2の配線と外部電極端子とを微細に形成できるので、配線が微細化し実装密度が向上した半導体装置を製造できる。

【0026】請求項10に記載されているように、請求項8又は9の製造方法において、外部電極端子上に突起状電極を形成する工程を更に備えることが好ましい。
20

【0027】この方法によれば、半導体装置と外部機器との間で、突起状電極を介していっそう確実に信号を授受できる半導体装置を製造することができる。

【0028】請求項11に記載されているように、請求項8～10のいずれか1つの半導体装置の製造方法において、絶縁層を形成する工程は、半導体チップ上に感光性を有する絶縁膜を形成した後に、露光とエッチングとを順次行ってすることとしてもよい。
30

【0029】この方法によれば、感光性を有する絶縁膜を直接露光した後にエッチングして、絶縁層を形成することができる。

【0030】請求項12に記載されているように、請求項8～10のいずれか1つの半導体装置の製造方法において、絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成し、該絶縁膜の上にレジスト膜を形成し、該レジスト膜をパターニングしてエッチングレジストを形成した後にエッチングを行って絶縁層を形成することとしてもよい。

【0031】この方法によれば、絶縁膜の上に形成したエッチングレジストを用いて、絶縁層を形成することができる。

【0032】請求項13に記載されているように、請求項8～10のいずれか1つの半導体装置の製造方法において、絶縁層を形成する工程は、半導体チップ上に絶縁膜を形成した後に、レーザー又はプラズマを用いて絶縁膜をパターニングして絶縁層を形成することとしてもよい。

【0033】この方法によれば、絶縁膜を直接パターニ

ングして、絶縁層を形成することができる。

【0034】

【発明の実施の形態】(第1の実施形態)以下、本発明の第1の実施形態について、図1を参照しながら説明する。図1(a)は本実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であり、図1(b)は図1(a)のソルダーレジストのある状態を示すI—I線における断面図である。図1(a), (b)において、10は例えばシリコンからなる半導体ウェハの一部が分割されてなり、かつトランジスタ等の半導体素子からなる半導体集積回路を内蔵する、四角形状の半導体チップである。半導体チップ10の主面において、辺部の近傍に複数の電極11が配列されている。

【0035】各電極11の少なくとも一部を覆うように、かつ、各電極11が近接する辺部の反対側、つまり半導体チップ10上で内側に向かって横方向に金属からなる第1の配線20Aが設けられている。少なくとも電極11上における第1の配線20Aを露出させ、かつ、該第1の配線20Aの一部と半導体チップ10の主面とを覆うように、低弾性率を有する絶縁材料からなる絶縁層30が設けられている。絶縁層30の端部は、第1の配線20Aが設けられた半導体チップ10の主面に対して、傾斜したくさび状の断面形状を有する。そして、第1の配線20Aの少なくとも一部と絶縁層30との上には、金属からなる第2の配線21が設けられている。つまり、第2の配線21は、絶縁層30の端部が有するくさび状の断面形状の斜面上にわたって、かつ絶縁層30の平坦部の上に形成されている。

【0036】絶縁層30の平坦部の上に形成され第2の配線21につながるランド22を露出させて、ソルダーレジスト40が設けられている。ランド22は、半導体チップ10と外部機器との間で信号を入出力するための外部電極端子として機能する。そして、ランド22の上には、突起状電極である金属ボール50が設けられている。すなわち、ソルダーレジスト40の開口部に露出するランド22に金属ボール50が接合された構造になっている。

【0037】以上説明したように、本実施形態の半導体装置によれば、低弾性率を有する絶縁層30の上に形成されたランド22が、絶縁層30の平坦部と斜面と半導体チップ10の主面との上にわたって形成された第2の配線21と、該主面上に形成された第1の配線20Aとを介して、電極11に接続されている。したがって、従来の配線回路シートの部分リードを用いた半導体装置に比較して、絶縁層30の斜面上において第1の配線20Aを微細に形成できるので、配線の微細加工に適し、かつ多ピン化に対応できる、製造コストの安価な半導体装置が実現される。

【0038】また、本実施形態の半導体装置は、第2の配線21とランド22とが、低弾性率を有する絶縁層30

の上に形成される。したがって、外部機器の基板に半導体装置を実装後に、半導体装置と基板との間に生ずる熱応力が絶縁層30によって吸収され、その結果金属ボール50に印加される熱応力が緩和されるので、高い信頼性を有する半導体装置が実現される。

【0039】また、電極11に接続された第1の配線20Aの一部を被覆して絶縁層30が設けられるので、絶縁層の上にある外部電極端子に押圧力が加わった場合等において電極11に印加される応力が第1の配線20Aと絶縁層30とにより緩和され、この点からも高い信頼性を有する半導体装置が実現される。

【0040】本実施形態に係る半導体装置の製造方法について、図1(a), (b)を参照しながら説明する。

【0041】まず、電極11を有する半導体チップ10の主面上に、蒸着又は無電解めっきによって金属層を形成する。

【0042】次に、金属層の上にレジストを塗布し、電極11を覆い、かつ半導体チップ10の主面において内側へ延びるようにしてレジストをパターニングをした後に、エッチングを行う。つまり、電極11を覆い、かつ半導体チップ10の主面において内側へ延びるようにして、金属からなる第1の配線20Aを形成する。

【0043】次に、第1の配線20Aが形成された半導体チップ10の主面の全面にわたって絶縁性と低弾性とを有する感光性材料を塗布した後に、乾燥と露光と現像とを順次行う。このことによって、少なくとも電極11上における第1の配線20Aを開口した絶縁層30を形成する。この場合において、例えば露光で散乱光を使用して、開口部における絶縁層30の断面形状を、第1の配線20Aに対して垂直ではなくテーパー状にして形成する。絶縁層30を形成するための感光性材料としては、例えばポリイミド、エポキシ等のような絶縁性を有するポリマーであればよい。

【0044】次に、半導体チップ10の主面の全面において、無電解めっき法、真空蒸着法、スパッタリング法、又はCVD法によって金属薄膜層を形成する。例えば、無電解めっき法を用いてCuからなる金属薄膜層を形成する。

【0045】次に、金属薄膜層が形成された半導体チップ10の主面の全面にわたって感光性レジストを塗布して、露光によって所定のパターン部以外のレジストを硬化させた後に、該パターン部のレジストを除去する。

【0046】次に、電解めっきを使用して、前記パターン部に例えばCuからなる大きい膜厚を有する金属層を形成し、レジストを溶融して除去し、その後形成された金属層に対して無電解Niめっきと無電解Auめっきとを順次行う。

【0047】次に、エッチング液に浸漬して、金属薄膜層のみからなる部分を溶かし、かつ大きい膜厚を有する金属層を残すことによって、所定のパターンを有する第

2の配線21とランド22とを同時に形成する。

【0048】なお、半導体チップ10の正面の全面にわたって金属膜を堆積させ、その上にレジストを塗布し、公知のフォトリソグラフィー技術を使用して所定のパターン部の上にエッチングマスク用レジストを形成し、このレジストをマスクとして金属層をエッチングすることによって、第2の配線21とランド22とを同時に形成してもよい。

【0049】次に、第1の配線20Aと絶縁層30と第2の配線21とランド22とが形成された半導体チップ10の正面の全面にわたって感光性ソルダーレジストを塗布した後に、フォトリソグラフィー技術を使用して、少なくともランド22を露出させてソルダーレジスト40を形成する。ソルダーレジスト40によって、ランド22以外の配線である、第1の配線20Aと第2の配線21とが、後工程において溶融したハンダから保護される。

【0050】次に、ハンダ、Cu、Ni等からなる、又はハンダめっきされた金属からなる金属ボール50をランド22の上に載置した後に、金属ボール50とランド22とを溶融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

【0051】本実施形態の半導体装置の製造方法によれば、半導体チップ10の正面において、電極11を開口した部分の絶縁層30の断面形状をテーパー状に形成する。このことによって、絶縁層30の斜面上にわたって第2の配線21を微細に形成しやすく、かつ第2の配線21が断線しにくい構造を構成することができる。

【0052】(第2の実施形態)以下、本発明の第2の実施形態について、図2を参照しながら説明する。図2

(a)は本実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であり、図2(b)は図2(a)のソルダーレジストのある状態を示すII-II線における断面図である。図2(a), (b)において、第1の実施形態と同一の構成要素には、図1(a), (b)における符号と同一の符号を付して、適宜その説明を省略する。

【0053】本実施形態においては、各電極11の少なくとも一部を覆うように、かつ、各電極11が近接する辺部の反対側、つまり半導体チップ10の内側に向かって第1の実施形態におけるよりもいっそう内側へ延びるようにして、金属からなる第1の配線20Bが設けられている。そして、半導体チップ10上には、電極11上における第1の配線20Bを露出させ、かつ、第1の配線20Bが露出された領域よりも内側を覆うように、絶縁性と低弾性率とを有する絶縁材料からなる絶縁層30が設けられている。つまり、半導体チップ10の内側へ延びた第1の配線20Bの端部は、絶縁層30が有する平坦部の下に設けられている。そして、第1の配線20Bの端部上の絶縁層30には第1の配線20Bに到達す

る貫通穴が形成されており、この貫通穴に例えば印刷法によってAgペーストやCuペースト等からなる導電体が埋め込まれて第2の配線21Bが形成されている。

【0054】絶縁層30の平坦部において、第2の配線21Bが露出している上端部はランド22を構成する。また、半導体チップ10の正面の全体を覆うように、かつランド22を露出させてソルダーレジスト40が設けられている。ランド22は、半導体チップ10と外部機器との間で信号を入出力するための外部電極端子として機能する。すなわち、第2の配線21Bにより、外部電極端子であるランド22と第1の配線20Bとが接続されている。

【0055】ランド22の上には、突起状電極である金属ボール50が設けられている。すなわち、ソルダーレジスト40の開口部に露出するランド22に金属ボール50が接合された構造になっている。

【0056】以上説明したように、本実施形態の半導体装置によれば、低弾性率を有する絶縁層30の貫通穴に設けられた第2の配線21Bの上端部がランド22を構成し、ランド22上には金属ボール50が形成される。第2の配線21Bは、絶縁層30の下に設けられた第1の配線20Bを介して、半導体チップ10の電極11に接続されている。したがって、従来の配線回路シートの部分リードを用いた半導体装置に比較して、半導体チップ10の上において第1の配線20Bを微細に形成できるので、配線の微細加工に適し、かつ多ピン化に対応できる、製造コストの安価な半導体装置が実現される。

【0057】また、外部機器の基板に半導体装置を実装後に、半導体装置と基板との間に生ずる熱応力が絶縁層30によって吸収され、その結果金属ボール50に印加される熱応力が緩和されるので、高い信頼性を有する半導体装置が実現される。

【0058】また、電極11に接続された第1の配線20Bの一部を被覆して絶縁層30が設けられるので、絶縁層30の上にある外部電極端子に押圧力が加わった場合等において、電極11に印加される応力が第1の配線20Bと絶縁層30により緩和され、高い信頼性を有する半導体装置が実現される。

【0059】また、第2の配線の上端部を外部電極端子とすることにより、外部電極端子に加えられた押圧力が第2の配線から直下方に作用して電極に加わる応力が緩和されるので、この点からも高い信頼性を有する半導体装置が実現される。

【0060】また、絶縁層30の下に第1の配線20Bを形成することによって、絶縁層30の端部における寸法や形状の精度を緩和できるので、半導体装置の製造歩留りを向上できる。

【0061】本実施形態に係る半導体装置の製造方法について、図2(a), (b)を参照しながら説明する。

【0062】まず、第1の実施形態と同様の方法によっ

て、金属からなる第1の配線20Bを形成する。この場合において、第1の実施形態におけるよりもいっそう半導体チップ10の内側へ延びるようにして、第1の配線20Bを形成する。

【0063】次に、第1の配線20Bが形成された半導体チップ10の正面の全面にわたって絶縁性と低弾性とを有する感光性材料を塗布した後に、乾燥と露光と現像とを順次行って絶縁層30を形成する。絶縁層30を形成する際に、第1の配線20Bの電極11上の部分を開口し、かつ絶縁層30の下における第1の配線20Bの端部に到達するように貫通穴を形成する。第1の実施形態と同様に、開口部における絶縁層30の断面形状を第1の配線20Bに対してテーパー状にして形成する。絶縁層30を形成するための感光性材料としては、例えばポリイミド、エポキシ等のような絶縁性を有するポリマーであればよい。

【0064】次に、それぞれ第1の実施形態と同様の方法により、半導体チップ10の正面の全面においてCuからなる金属薄膜層を形成し、該金属薄膜層が形成された半導体チップ10の正面の全面にわたって感光性レジストを塗布して、露光により絶縁層30における貫通穴の上以外のレジストを硬化させた後に、貫通穴の上のレジストを除去する。つまり、絶縁層30の貫通穴において、レジストを残留させず、形成された金属薄膜層を露出させた状態にする。

【0065】次に、それぞれ第1の実施形態と同様の方法により、貫通穴における露出した金属薄膜層の上に例えばCuからなる大きい膜厚を有する金属層を形成し、レジストを溶融して除去し、その後に無電解Niめっきと無電解Auめっきとを順次行う。このことによって、貫通穴が埋められるように金属層を形成し、絶縁層30において露出した金属層の上端面に対してもNiとAuとを順次無電解めっきする。

【0066】次に、エッティング液に浸漬して、金属薄膜層のみからなる部分を溶かし、大きい膜厚を有する金属層を残すことによって、絶縁層30における貫通穴に金属層からなる第2の配線21Bを形成する。したがって、第2の配線21Bを、第1の配線20Bを介して電極11に接続することができる。絶縁層30の表面における第2の配線21Bの露出部、つまり第2の配線21Bの上端部は、ランド22として機能する。

【0067】次に、第1の実施形態と同様の方法によって、少なくともランド22を露出させてソルダーレジスト40を形成する。ソルダーレジスト40によって、ランド22以外の配線である第1の配線20Bが、後工程において溶融したハンダから保護される。

【0068】次に、ランド22の上に金属ボール50を載置した後に、金属ボール50とランド22とを溶融接合する。以上の工程によって、本実施形態に係る半導体装置を得ることができる。

【0069】本実施形態の半導体装置の製造方法によれば、半導体チップ10の上において第1の配線20Bを形成するので、配線の微細加工に適し、かつ断線しにくい構造を有する半導体装置を製造できる。

【0070】また、絶縁層30の下に第1の配線20Bを形成することによって、配線の断線防止を目的とした絶縁層30の端部における寸法や形状の精度管理を緩和できるので、高い製造歩留りで半導体装置を製造できる。

【0071】なお、以上説明した各実施形態においては、絶縁層30を形成するために、絶縁性と低弾性とを有する感光性材料を塗布した。これに限らず、それぞれ予めフィルム状に形成された、低弾性と感光性とを有する絶縁材料を使用してもよい。この場合には、低弾性と感光性とを有するフィルム状の絶縁材料を半導体チップ10の正面に貼り合わせた後に露光、現像して第1の配線20A、20Bを露出させる。

【0072】また、散乱光を用いて絶縁層30の開口部における断面形状をテーパー状に形成した。これに代えて、平行光を用いて露光し、現像後の熱処理における温度プロファイルを制御する等して、絶縁層30の開口部における断面形状をテーパー状に形成してもよい。

【0073】また、感光性のない絶縁材料も使用できる。この場合には、半導体チップ10の正面において形成された感光性のない絶縁材料を、レーザーやプラズマ等の機械的加工によって直接パターニングする。あるいは、半導体チップ10の正面において形成された感光性のない絶縁材料の上にエッティングレジストを形成し、該エッティングレジストをパターニングした後にエッティング等の化学的加工を行う。これらの方法によって、第1の配線20A、20Bを露出させる。

【0074】更に、半導体チップ10の正面の外側に電極11を、内側の絶縁層30にランド22と金属ボール50とをそれぞれ形成したが、これに代えて半導体チップ10の正面の内側、例えば中央部付近に電極11を形成し、電極11を開口して絶縁層30を形成し、外側の絶縁層30に貫通穴、ランド22及び金属ボール50を形成してもよい。

【0075】

【発明の効果】請求項1～7の発明によれば、第2の配線を介して電極に加わる応力が第1の配線と絶縁層とにより緩和され、かつ実装後に外部電極端子に加わる応力が絶縁層により緩和されるので、半導体装置の信頼性が向上する。また、絶縁層上に外部電極端子が微細に形成されるので、微細配線が可能になる。

【0076】請求項8～13の発明によれば、請求項1～7の構造を容易に実現できる。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であ

13

り、(b)は(a)のソルダーレジストのある状態を示すI-I線における断面図である。

【図2】(a)は本発明の第2の実施形態に係る半導体装置のソルダーレジストのない状態を示す平面図であり、(b)は(a)のソルダーレジストのある状態を示すII-II線における断面図である。

【図3】従来の半導体装置を示す断面図である。

【符号の説明】

* 10 半導体チップ

11 電極

20A, 20B 第1の配線

21A, 21B 第2の配線

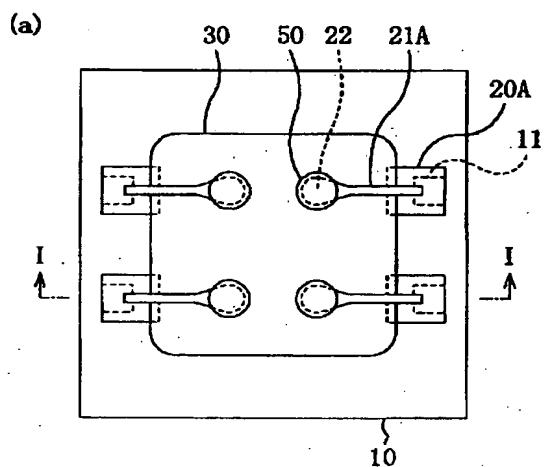
22 ランド(外部電極端子)

30 絶縁層

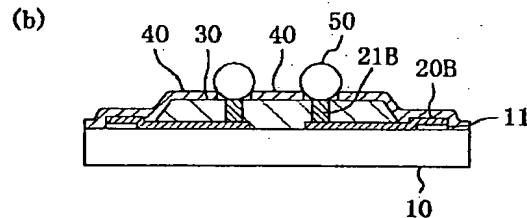
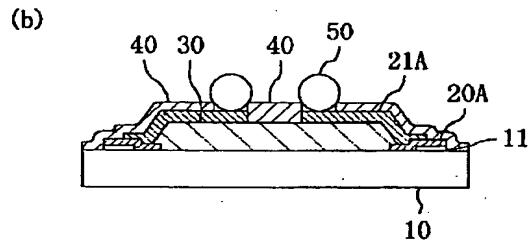
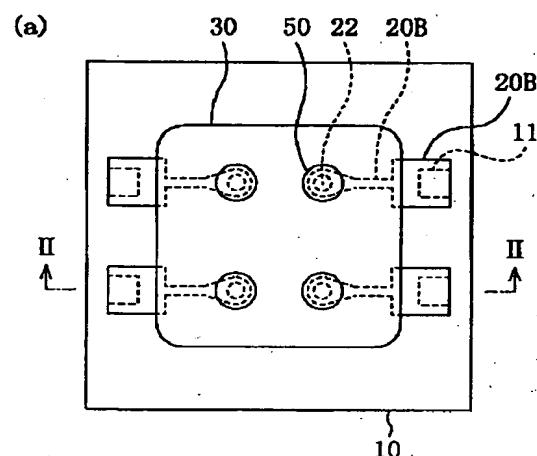
40 ソルダーレジスト(保護膜)

50 金属ポール

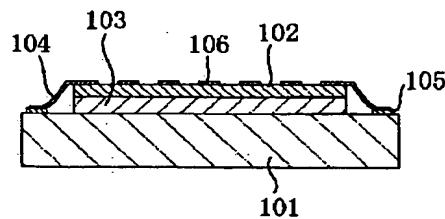
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 隈川 隆博

大阪府高槻市幸町1番1号 松下電子工業
株式会社内